



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07066807 A**(43) Date of publication of application: **10 . 03 . 95**

(51) Int. Cl. **H04L 12/28**
H04Q 3/00
H04Q 11/04

(21) Application number: **05210179**(22) Date of filing: **25 . 08 . 93**(71) Applicant: **HITACHI LTD**

(72) Inventor: **OZAKI NAHIKO**
MIYAGI MORIHITO
OKAMOTO MANABU

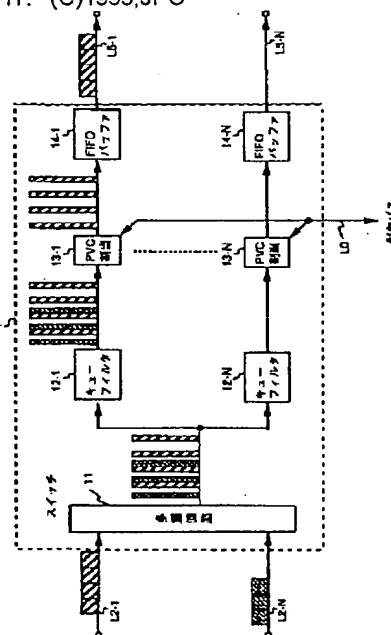
(54) **ATM SWITCHING SYSTEM AND CELL CONTROL SYSTEM**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To obtain the switching system suitable for transfer of a burst data cell in the PVC mode.

CONSTITUTION: A PVC allocation circuit 13-i is provided corresponding to an output queue 14-i of an ATM switch 1, and a PVC of burst data is registered as passing allowance identification information when there is a margin in a band of an output line at the arrival of a head cell of each of burst data. Each cell having the same PVC identifier as the registered passing allowance identification information among arrived cells thereafter are inputted to an output buffer and other burst data cells are all aborted. Thus, even when plural burst data going to a same output line in the output queue of the ATM switch are in contention, since other cells than a burst cell arrived first and whose passing is allowed are all aborted, the cell is inputted to the output queue within a band and burst data receiving the effect of cell abort due to overflow of the output queue are localized.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66807

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 12/28

H 0 4 Q 3/00

11/04

8732-5K

H 0 4 L 11/20

G

8732-5K

H

審査請求 未請求 請求項の数11 O L (全 21 頁) 最終頁に続く

(21) 出願番号

特願平5-210179

(22) 出願日

平成5年(1993)8月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小崎 尚彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 宮城 盛仁

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 岡本 学

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(74) 代理人

弁理士 小川 勝男

(54) 【発明の名称】 ATMスイッチングシステムおよびセル制御方式

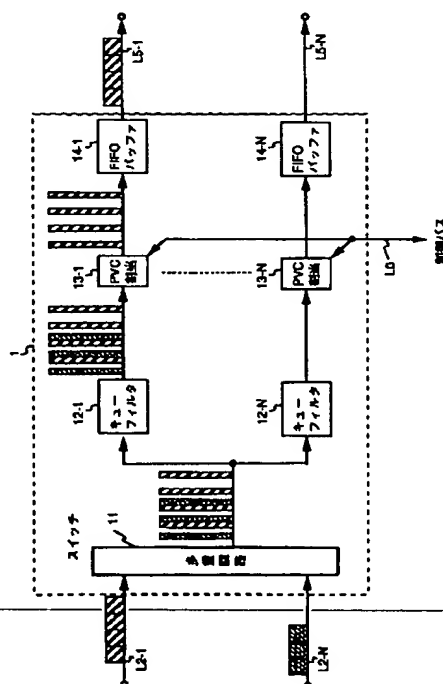
(57) 【要約】

【目的】 PVCモードのバーストデータセルの転送に適したスイッチングシステムの提供を目的とする。

【構成】 ATMスイッチの出力キュー14-iに対応にPVC割当回路13-iを設け、各バーストデータの先頭セルの到着時に、出力回線の帯域に余裕があれば、バーストデータのPVCを通過許可識別情報として登録しておく。その後到着するセルのうち、上記登録された通過許可識別情報と同一のPVC識別子を持つセルは出力バッファに入力し、その他のバーストデータのセルは全て廃棄する。

【効果】 ATMスイッチの出力キューで、同一出力回線に向かう複数のバーストデータが競合しても、先に到着して通過を許可されたバースト以外のセルは全て廃棄されるので、出力キューには帯域の範囲内でしかセルが入力されず、出力キュー溢れによるセル廃棄の影響を受けるバーストを局所化できる。

図3



【特許請求の範囲】

【請求項 1】複数の入力回線と複数の出力回線を備え、各入力回線から入力された固定長パケット（セル）をそれぞれのヘッダ情報に応じて特定される何れかの出力回線に転送する A T M スイッチングシステムにおけるセル制御方式において、同一出力回線に向かうバーストデータが複数の入力回線から時間的に重なって流入してきた場合、それぞれの先頭セル到着時に決定しておいた 1 つまたは複数の特定のバーストデータに属するセルのみを通過させ、他のバーストデータに属したセルは廃棄処理するようにしたことを特徴とするセル制御方式。

【請求項 2】各バーストデータの先頭セルが到着した時点で当該バーストデータについて伝送を許容するか否かを判断し、伝送を許容できる場合は上記先頭セルのヘッダ情報の 1 部を通過許容バーストの識別情報として登録しておき、その後に着するバーストデータの各セルについて、該セルのヘッダが上記登録されたバースト識別情報を含むか否かによって通過すべきか廃棄すべきかを判定するようにしたことを特徴とする請求項 1 に記載のセル制御方式。

【請求項 3】各出力回線毎に帯域の利用状況を記憶しておき、各バーストデータの先頭セルが到着した時、該先頭セルを出力すべき出力回線の帯域利用状況に基づいて当該バーストデータの伝送を許容するか否かを決定するようにしたことを特徴とする請求項 2 に記載のセル制御方式。

【請求項 4】バーストデータ先頭セルのヘッダ部に含まれる V C I (Virtual channel identifier)、V P I (Virtual path identifier)、または、これらを結合した値の少なくとも 1 部を前記通過許容バーストの識別情報とすることを特徴とする請求項 2 または請求項 3 に記載のセル制御方式。

【請求項 5】複数の入力回線と複数の出力回線を備え、各入力回線から入力された固定長パケット（セル）をそれぞれのヘッダ情報に応じて特定される何れかの出力回線に転送する A T M スイッチングシステムにおいて、出力回線対応にセルの出力キューを形成するためのバッファメモリ手段と、出力キュー対応に通過を許容したバーストデータの識別情報を記憶するためのレジスタ手段と、バーストデータの先頭セルが入力された時、該セルを蓄積すべき出力キューが所定の条件を満たしているか否かを判定し、所定の条件を満たしている場合は、上記先頭セルを上記出力キューに蓄積すると共に、上記先頭セルのヘッダ情報の少なくとも 1 部を上記レジスタ手段に記憶し、出力キューが所定の条件を満たしていない場合は、上記先頭セルを廃棄し、バーストデータの先頭セル以外のセルが入力された時、該セルのヘッダ情報と上記レジスタ手段に記憶された情報との比較結果に応じて、該セルを廃棄もしくは上記出力キューに蓄積するための

制御手段とを備えたことを特徴とする A T M スイッチングシステム。

【請求項 6】前記制御手段が、バーストデータの最終セルが到着した時、前記レジスタから上記最終セルのヘッダ情報と対応する情報を抹消することを特徴とする請求項 5 に記載の A T M スイッチングシステム。

【請求項 7】バーストデータの先頭セルが入力された時、該セルを蓄積すべき出力キューが他のバーストデータに属するセルの蓄積に利用されているか否かに応じて、上記先頭セルの処理と前記レジスタ手段への情報記憶の要否を決定することを特徴とする請求項 5 または請求項 6 に記載の A T M スイッチングシステム。

【請求項 8】前記バッファメモリ手段が、少なくとも 1 つの出力回線に対して複数の出力キューを形成しており、

前記制御手段が、上記出力回線に送出すべきバーストデータの先頭セルが入力された時、上記複数の出力キューのうち他のバーストデータに属するセルの蓄積に利用されていない出力キューを選択して、先頭セル処理と前記レジスタ手段への情報記憶処理を行うことを特徴とする請求項 7 に記載の A T M スイッチングシステム。

【請求項 9】複数の入力ハイウェイと複数の出力ハイウェイを有し、上記入力ハイウェイから入力された固定長パケット（セル）を各セルのヘッダ情報に従って上記何れかの出力ハイウェイに振り分ける A T M スイッチングシステムにおいて、

各出力ハイウェイ対応に少なくとも 1 つずつのセル出力キューを形成するバッファメモリ手段と、

上記複数の入力ハイウェイから並列的に到着するセルをシリアルなセル列に変換するための多重化手段と、

上記多重化手段から出力されたセルの上記バッファメモリ手段への書き込み動作と、該バッファメモリ手段からのセルの読み出し動作を行うための制御手段と、

上記バッファメモリ手段から読み出されたセルを上記出力ハイウェイに振り分けるための分離手段とからなり、上記制御手段が、上記出力キュー対応にバーストデータによる使用の有無を示すための第 1 のレジスタ手段と、上記出力キュー対応に使用中のバーストデータの識別情報を記憶するための第 2 のレジスタ手段とを有し、

バーストデータの先頭セルが到着した時、該セルを蓄積すべき出力キューと対応した第 1 のレジスタ手段が他のバーストデータにより使用中である旨を示す場合は、該先頭セルを廃棄処理し、未使用である旨を示す場合は、該第 1 のレジスタ手段の状態を使用中に書き換え、対応する第 2 のレジスタ手段に上記バーストデータの識別情報を登録すると共に、上記先頭セルを上記バッファメモリ手段中の該当出力キューに蓄積し、

バーストデータの先頭セル以外のセルが到着した時、該セルを蓄積すべき出力キューと対応した上記第 2 のレジスタが記憶するバーストデータ識別情報と該セルのヘッ

ダ情報との対応関係に応じて、該セルを廃棄処理または上記バッファメモリ手段中の該当出力キューへの蓄積処理を行うことを特徴とするATMスイッチングシステム。

【請求項10】前記制御手段が、前記蓄積処理したセルがバーストデータの最終セルの場合に、上記第1のレジスタ手段を未使用中に書き換えると共に、上記第2のレジスタ手段の識別情報を消去することを特徴とする請求項9に記載のATMスイッチングシステム。

【請求項11】前記制御手段が、バーストデータの先頭セル以外のセルが到着した時、該セルを蓄積すべき出力キューと対応した第1のレジスタ手段の示す状態、および、第2のレジスタが記憶するバーストデータ識別情報と該セルのヘッダ情報との対応関係に応じて、該セルを廃棄処理または上記バッファメモリ手段中の該当出力キューへの蓄積処理を行い、蓄積処理したセルがバーストデータの最終セルの場合に、上記第1のレジスタ手段を未使用中に書き換えることを特徴とする請求項9に記載のATMスイッチングシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、広帯域ISDNに使用されるATMスイッチングシステムに係わり、特に、PVC (Permanent virtual connection) モードで行われるバーストデータの通信サービスに好適なATMスイッチングシステムに関する。

【0002】

【従来の技術】広帯域ISDNにおける通信サービスのモードとして、SVC (Switched virtual connection) モードとPVC (Permanent virtual connection) モードとがある。

【0003】SVCモードは、呼設定（呼接続）時にATMスイッチングシステム内で当該呼へVPI/VCI (Virtual path identifier / Virtual channel identifier) を付与し、ルーティング経路の確立と同時に当該呼のための帯域を確保するようにしている。このため、SVCモードでは、ATMスイッチの各出力回線毎の流入セル量が所定の帯域内に収まっており、各出力回線対応に設ける出力セルバッファの記憶容量は比較的小容量で済む。

【0004】これに対して、PVCモードは、特定の通信端末間に予め固定的にVPI/VCIを割り当てておき、端末装置が随時に専用回線的に通信できるようにしたものである。PVCモードの通信については、ATMスイッチングシステム内では、上記SVCモードで行っていたVPI/VCI対応の帯域確保を省略しているため、同一出力回線に向かうPVCモードの複数のバーストデータが同時にATMスイッチに入力された場合、上記出力回線と対をなすバッファメモリ中に出力回線の帯域

を越えた過剰のATMセルが流入し、バッファ容量以上となった過剰セルは廃棄せざるを得ない状態に陥る。

【0005】このようなセル廃棄を回避するためには、例えば、同一出力方路の複数のバーストデータ発生に対処できる十分なバッファ容量を予め用意しておく方式、あるいは、PVCモード端末からのバーストデータの送信に先だって、その都度、データ経路上の各システムで必要な帯域を確保する方式が考えられる。

【0006】

【発明が解決しようとする課題】然るに、端末装置のRAMやハードディスクから出力されるバーストデータは、1Mbit~1Gbitの量にも及ぶ場合があるため、ATMスイッチ内で複数のバーストデータに対処できるようなバッファ容量を予め用意する方式では、バッファメモリの容量が膨大なものとなってしまう、メモリの利用効率の点からみても実用的でない。

【0007】また、PVCモードのバーストデータ送信の都度、帯域を確保する方式では、帯域確保のための所要時間が無視できず、端末装置における通信の効率を低下させるという問題がある。例えば、呼制御や帯域制御等の制御情報をプロセッサに集め、該プロセッサからの指令で各種の制御を行うようにしたATMスイッチングシステムを採用して、例えば、10Mbit程度のデータを150Mb/s転送により100ms以下で転送できる広帯域ISDNを構成した場合、上述した帯域確保のための所要時間がデータ転送の所要時間を越え、帯域確保のためのオーバーヘッド時間がバーストデータ通信のボトルネックとなる場合がある。上記オーバーヘッド時間はプロセッサの処理能力を上げることによって或る程度短縮できるが、このようなプロセッサ能力による改善には限界がある。

【0008】本発明の目的は、バーストデータの通信に適した改良されたATMスイッチングシステムおよびATMセル制御方式を提供することにある。

【0009】本発明の他の目的は、各出力回線当りのバッファメモリ容量が比較的小容量で済み、PVCモードのバーストデータを効率良く通信できるようにしたATMスイッチングシステムおよびATMセル制御方式を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明のATMスイッチングシステムおよびATMセル制御方式では、同一出力回線に向かう複数のバーストデータが時間的に重なってスイッチングシステムに流入してきた場合に、それぞれのバーストデータの先頭セル到着時に特定された1つまたは複数のバーストデータに属するセルのみを通過させ、他のバーストデータに属したセルは廃棄処理するように制御したことを特徴とする。

【0011】ここで、セルの通過／廃棄の選択は、例え

ば、出力回線の帯域に余裕がある時に先頭セルが到着したバーストデータに関しては、それに属したセルを全て通過させ、帯域に余裕がない時に先頭セルが到着したバーストデータに関しては、それ属したセルを全て廃棄対象とする。

【0012】更に詳述すると、例えば、出力回線対応に出力帯域の利用状況、あるいは他のバーストデータによる使用の有無を示す状態情報を記憶しておき、各バーストデータの先頭セルが到着した時点で上記状態情報に基づいて、もし、当該バーストデータについて伝送を許容できる状態にあれば、上記先頭セルのヘッダ情報の1部を通過許容バーストの識別情報として登録すると共に、上記先頭セルをバッファメモリに一時的に蓄積しておく。先頭セルの到着時点で、出力回線の帯域が当該バーストデータの伝送を許容できない状態にあれば、上記先頭セルは廃棄してしまう。バーストの先頭以外のセルが到着した時は、該セルのヘッダが上記登録されたバースト識別情報を含むか否かによって、通過セルとするか廃棄セルとするかの判定を行う。通過許容バーストの識別情報は、当該バーストの最終セルの処理時点で登録を抹消する。

【0013】上記通過許容バーストの識別情報としては、バーストデータ先頭セルのヘッダ部に含まれるPVC識別情報、例えば、VCI (Virtual channel identifier)、VPI (Virtual path identifier)、VPIとVCIを結合した値、VPIの一部、VCIの一部、またはVPIとVCIを結合した値の一部を利用できる。

【0014】

【作用】本発明によれば、同一方路に向かう複数のバーストデータが時間的に重なって到着した場合でも、バーストデータの先頭セル到着時点で当該バーストデータの通過許容の可否を決定し、通過を拒否したバーストデータについてはその後に到着するセルの全てを廃棄処理し、通過を許容したバーストデータについてはその後の到着セルの全てを通過できるようにしているため、輻輳によるセル廃棄が全てのバーストに波及することを回避でき、セル廃棄に起因して再送されるべきバーストデータの数を低減できる。

【0015】また、本発明によれば、通過を拒否したバーストデータについてはその後に到着するセルの全てを廃棄処理するようにしているため、各出力回線対応に出力セルを一時的に蓄積するのに必要なバッファメモリの容量を小さくできる。

【0016】

【実施例】図1は、本発明を適用するATMスイッチングシステムまたはATM交換機の全体構成の1例を示す。

【0017】図において、 $L1-i$ ($i=1\sim N$) は入力ライン、 $L6-i$ ($i=1\sim N$) は出力ラインであ

り、これらのラインは光信号または電気信号の形で固定長パケット(ATMセル)を転送する。ライン $L1-i$ と $L1-i$ とが対をなして、例えば、端末装置に接続される加入者回路(あるいは他のスイッチングシステムに接続される中継回路)を構成している。1はスイッチ、 $2-i$ ($i=1\sim N$) は各加入者回路毎に設けられた回線処理回路、3はライン $L3$ と $L4$ を介してスイッチ1に接続され、制御バス $L0$ を介して各回線処理部とスイッチ1に接続された制御回路である。

【0018】入力ライン $L1-1\sim L1-N$ から入力されたセルは、それぞれ回線処理回路 $2-1\sim 2-N$ において、システム構成に応じた光/電気変換、伝送フレーム終端、セル同期等の処理と、ヘッダ変換およびスイッチ1が必要とするルーティング情報の付加が行われる。

【0019】回線処理回路 $2-i$ からライン $L2-i$ を介してスイッチ1に入力されたセルは、ヘッダに付加されたルーティング情報に従って、ライン $L5-1\sim L5-N$ および $L4$ の何れかに振り分けられる。ライン $L5-1\sim L5-N$ に出力されたセルは、回線処理回路 $2-1\sim 2-N$ でセル同期、伝送フレーム終端、電気/光変換等の処理を受けた後、それぞれ出力ライン $L6-1\sim L6-N$ へ出力される。

【0020】スイッチ1は、呼処理制御用あるいは網管理用のセル(以下、制御用セルと言う)をライン $L4$ に振り分け、制御回路3に転送する。制御回路3は、制御バス $L0$ を介してスイッチ1および回線処理回路 $2-1\sim 2-N$ を制御すると共に、上記制御バス $L0$ を介してこれらの要素の情報を収集する。上記制御回路3は、加入者回路に接続された端末装置、あるいは他のATMスイッチングシステムに伝送すべき制御情報を含むセル生成し、ライン $L3$ に出力する。このセルは、スイッチ1によってライン $L5-1\sim L5-N$ の何れかに振り分けられ、回線処理回路を通過して、宛先の端末装置または他のATMスイッチングシステムに転送される。

【0021】図2は、制御回路3の1実施例を示す。制御回路3は、制御信号処理回路30と、制御プロセッサ31と、メインメモリ32とから構成されている。ライン $L4$ から入力された制御セルは、制御信号処理回路30でメッセージに組立てられた後、制御バス $L0$ を介して制御プロセッサ31に供給される。制御プロセッサ31は、制御信号処理回路30から受け取ったメッセージの内容を解釈し、必要な情報はメインメモリ32に蓄え、必要に応じてスイッチ1や回線処理回路 $2-1\sim 2-N$ を制御するための指令を制御バス $L0$ に出力する。また、制御プロセッサ31が生成した他のATMスイッチングシステムまたは端末装置宛の制御情報を含むメッセージは、制御信号処理回路30でセルに分割され、ライン $L3$ に出力される。

【0022】図3は、本発明によるATMスイッチの基本的な構成と動作を説明するための図である。ATMス

スイッチ1は、多重回路11と、出力回線（ラインL5-1～L5-N）対応に設けられた複数のキューフィルタ12-i（i=1～N）、PVC割当回路13-i（i=1～N）およびFIFOバッファ14-i（i=1～N）から構成される。

【0023】ラインL2-1～L2-Nから並列的に入力されたセルは、多重回路11でシリアルなセル列に変換された後、上記複数のキューフィルタ12-1～12-Nに並列的に供給される。各キューフィルタ12-iは、入力セルのルーティング情報に基づいて、上記入力セルが該キューフィルタと対応する出力回線L5-iに出力すべきセルか否かを判定し、出力対象となるセルだけを選択的にPVC割当回路13-iに与える。PVC割当回路13-iは、後述する出力回線の空き帯域に応じたバーストセル制御動作を行い、入力セルを選択的にFIFOバッファ14-iに供給する。上記FIFOバッファ14-iに蓄積されたセルは、出力回線速度に合わせて出力回線L5-iに読み出される。

【0024】上記スイッチ1では、SVC（Switched Virtual Connection）モードとPVC（Permanent Virtual Connection）モードの2種類のサービスに対応することができる。

【0025】SVCモードは、呼接続時にスイッチ1の出力回線L5-i上の帯域を確保し、出力回線のもつ帯域を超えないように呼設定動作するものである。この場合、仮に、入力ラインL2-1～L2-Nのうちの複数のラインから同一の出力方路に集中してセルが入力されたとしても、これは一時的な現象であって、帯域が出力ラインL5-1～L5-Nの回線速度を超えることはない。従って、FIFOバッファ14-1～14-Nの容量が十分であれば、セルがバッファを溢れる確率を極めて小さくすることができ、PVC割当回路13-1～13-Nによるセル流量の調節機能は必要でない。

【0026】一方、PVCモードは、回線交換よりもデータ送信頻度が高く、比較的長い休止期間をおいて断発的に発生するバーストデータを転送するのに適した通信サービスであり、呼制御による時間の浪費、呼制御処理の頻度増大をさけるため、送受信端末間には常時固定的に呼を割り当てておくことによって、バーストデータ送信時の呼制御を制御回路3で行なわなくても済むようにしたサービス形態である。PVCモードは、各バーストデータの送信が瞬間的であって、複数のバーストデータ送信が同一回線上で競合する確率が低いことを前提にしておき、呼に対応した出力回線の帯域割付けは省略されている。

【0027】PVCサービスの問題点は、例えば図3に示すように、複数の入力ラインL2-1、L2-Nから時間的に重なって入力されたバーストデータ、すなわち複数列の連続セルが同一の出力回線、例えばL5-1に向かう場合に、上記出力回線のFIFOバッファ14-1

-1に入力されるセルの量が出力帯域を超えてしまうことにある。

【0028】一般に、FIFOバッファ14-1～14-Nの容量は、それに入力されるセル量が出力回線の帯域の範囲内にあることを前提として設計されているため、ここに示した複数のバーストデータの同時発生のように、帯域を超えるセルの流入が一定時間継続した場合に対処できるとは限らない。出力帯域を超えてセルが流入すると、FIFOバッファが満杯となり、その後に到着したセルがバッファから溢れて廃棄される。この場合、全てのバーストデータで後続セルの1部が廃棄されてしまうため、競合した複数のバーストデータの全てが不完全なものとなり、再送を余儀なくされる。

【0029】上記現象に対処して、本発明では、競合した複数のバーストデータのうちの少なくとも1つについてはセルの廃棄を避け、完全な形でデータ転送できるように、FIFOバッファへのセル入力を選択的に制御するためのPVC割当回路13-i（i=1～N）を設けてある。

【0030】本発明では、上記PVC割当回路13は、PVCモードのバーストデータの先頭セルが到着した時、もし出力バッファの帯域に余裕があれば、上記バーストデータの識別子（PVC）を通過許容バーストの識別情報として登録しておき、上記先頭セル、およびその後到着する上記登録済の識別情報をもつバーストデータセルについては、出力バッファへの格納処理（通過処理）を行う。もし、先頭セルの到着時に帯域の余裕がなければ、PVCを登録することなく先頭セルを廃棄し

（バッファへの格納をしない）、その後到着する未登録の識別子をもつバーストデータセルについても廃棄処理を行う。

【0031】本発明の最も簡単な実施例では、同一の出力回線で複数のバーストデータが競合した場合、各VC割当回路が、最先のバーストデータのみを通過させ、該バーストデータが通過し終わるまでは、後着の他のバーストデータのセルは全て廃棄処分するようにしている。この場合、最先のバーストデータの先頭セル到着時に通過許容バースト識別情報として登録されたPVCは、該バーストデータの最後のセルが到着した時点で登録を抹消され、該PVCが登録を抹消されるまでは、他のバーストデータのPVC登録は行われないため、通過許容バースト識別情報をもたない後着バーストデータの全てのセルが廃棄され、PVC抹消後に先頭セルが到着したバーストデータが新たな通過許容バーストとなる。

【0032】図3の例では、入力ラインL2-1とL2-Nに同時期に到着した2つのバーストデータのうち、先頭セルが先に到着したラインL2-1のバーストデータが通過権を獲得し、PVC割当回路13-1は、ラインL2-1のバーストデータセルを通し、ラインL2-Nのバーストデータセルを全て廃棄するよう制御動作す

る。本実施例によれば、先着のラインL2-1のバーストデータは、競合時に全てのセルがFIFOバッファを通過できるため、バーストデータが完全な形で転送され、再送を必要とするバーストデータを後着のラインL2-Nのデータに局所化することができる。

【0033】図4は、図3のスイッチに入力されるセルフォーマットの1例を示す。入力セルは、ヘッダ部400と情報部410とからなり、ヘッダ部400は、セルが空が否かを示す空/閉フィールド401と、データ（バーストデータ）の先頭セルであることを示す開始表示フィールド402と、データ（バーストデータ）の終了セルであることを示す終了表示フィールド403と、ルーティング情報である出力回線（出力キュー）を示すフィールド404と、呼の識別情報であるVPI/VCI（PVC）フィールド405とからなっている。

【0034】スイッチは、入力セルのヘッダ情報のうち、出力キュー番号404によって、このセルがどのキューフィルタ12-1～12-Nに供給すべきか決定する。フィールド402に開始表示（先頭セル）を示す情報が設定されている場合、PVC割当回路13-1～13-Nは、他のバーストデータがバッファを使用中でなければ、そのセルのフィールド405に含まれるPVCの値を通過許容バーストデータの識別情報として記憶（登録）しておく。尚、PVCの値としては、フィールド405に設定されているVCIの値、VPIの値、VPIとVCIとを一体化した値、あるいはこれらの値の一部を利用する。

【0035】バーストデータを構成するセルのうち、先頭セル以外のセルが入力された場合は、PVC割当回路13-1～13-Nは、フィールド405が、先頭セル到着時に登録しておいた通過許容バーストデータの識別情報と同一の識別情報を含んでいるか否かを判定し、登録された識別情報と一致するセルのみを通過対象とし、他は廃棄処理する。フィールド403に終了表示（最終セル表示）を含むセルが到着すると、もし、このセル通過許容バーストの最終セルであれば、PVC割当回路13-1～13-Nは、通過許容バーストデータの識別情報の登録を抹消し、その後先頭セルが到着する他のバーストデータが出力バッファを通過可能な状態にする。

【0036】図5は、図3におけるPVC割当回路13-iの1実施例を示す図である。ヘッダ解析回路131は、入力セルの空/閉フィールド401、開始表示フィールド402、終了表示フィールド403、およびPVCフィールド405を分離出力する。

【0037】空/閉表示フィールドが、空セルを示す値「0」を含む場合は、AND回路13dは信号「0」を出力し、セクタ13eに空セルパターンを選択出力させる。未使用/使用レジスタ138は、出力回線がバーストデータの伝送に使用中か否かを示す情報（出力回線の帯域に余裕があるか否かを示す情報）を格納するため

のものであり、PVCレジスタ139は、現在出力回線を使用中のバーストデータのPVC（通過許容バーストデータの識別情報）を格納するためのものである。

【0038】PVC/SVCレジスタ13aは、このPVC割付回路の処理するキューが、SVCモード用のものかPVCモード用のものかを示す。もし、上記レジスタがSVCモード用に設定されていれば、PVC/SVCレジスタ13aは信号「1」を出力し、OR回路13cに信号「1」を出力させ、空/閉表示フィールドが有効セルを示す「1」の時、AND回路13dに信号

「1」を出力させ、セクタ13eに入力セルをそのまま通過させる。この場合、PVC割付回路では、バーストデータの管理はせず、セルを素通しする。PVC/SVCレジスタ13aがPVCモード用に設定されていれば、OR回路13cは、AND回路133または135の出力が「1」でなければ信号「1」を出力しない。従って、この状態では、AND回路133または135の出力によってセル出力が制御される。

【0039】上記PVC/SVCレジスタ13aへのモードの設定は、制御回路3が制御バスL0、マイコンインタフェース回路13bを介して行う。例えば、各出力回線のPVC/SVCレジスタ13aに、初期状態としてSVCモードを設定しておき、特定の出力回線に関してPVCモードでのサービス運用が申請された時点で、該当するPVC/SVCレジスタ13aをPVCモードに変更する。

【0040】次にPVC/SVCレジスタ13aがPVCを示す場合の動作について詳述する。入力セルが先頭セルを示している場合は、未使用/使用レジスタ138が未使用中を示す信号「0」を出力し、入力セルの空/閉表示フィールドが有効セルを示す「1」を示す場合に、AND回路133が信号「1」を出力する。このとき、AND回路134が「0」出力（最終セルでない場合）の条件で、AND回路136は「1」出力し、OR回路137でレジスタ138のロード入力LDを「1」にすることにより、未使用/使用レジスタ138を使用中の状態「1」に設定する。また、このとき、PVCレジスタ139には、ヘッダ解析回路131から出力されたPVC値が設定される。さらに、AND回路133の「1」出力は、OR回路13c、AND回路13dを通して、セクタ13eに入力セルを選択出力させる。この動作により、バーストデータの先頭セルが到着時にPVCの登録ができる。

【0041】入力セルが開始表示を示しているときに、未使用/使用レジスタ138がバーストデータ使用中を示す場合は、未使用/使用レジスタ138出力は「1」であり、AND回路133は「0」を出力するため、未使用/使用レジスタ138への値の設定は行われない。

また、この場合、OR回路13cを通しての入力セル選択出力制御動作は行われない。この動作では、バースト

データの先頭セルが到着時に、もし、先着の他のバーストデータがバッファを使用中であれば、今回到着したバーストデータのPVC登録はできなくなることを示している。

【0042】入力セルが最終セルの場合（フィールド403が終了表示ありを示している）ときは、空／閉表示フィールド401が有効セル有りを示す「1」を示し、未使用／使用レジスタ138が使用中を示す「1」を出力し、PVCレジスタ139に登録されたPVCがヘッダ解析回路131出力のPVCと一致することを示す一致検出回路132の「1」出力がある場合に、AND回路134が「1」を出力する。このとき、AND回路136は「0」を出力し、OR回路137は「1」を出力するため、未使用／使用レジスタ138は、未使用状態の「0」に設定される。これにより、他の新たなバーストデータが到着した時、該バーストデータによるバッファの使用が可能な状態となる。

【0043】入力セルが有効セルであり、未使用／使用レジスタ138が使用状態を示し、PVCレジスタ139の値と入力セルのPVC値が一致する場合には、AND回路135が「1」を出力し、OR回路13c、AND回路13dを通して、セクタ13eに入力セルを選択出力させる。この制御により、使用中のPVCのセルが到着すれば、セルが通過可能となる。

【0044】図3では、1つの出力回路に同時には1つのバーストデータしか通さない場合を示したが、例えば、バーストデータの最大帯域が10Mb/sで、出力回線の帯域が150Mb/sであれば、1つの出力回線に同時に15個のバーストデータを通すことができる。

【0045】図6は、1つの出力回線に複数のバーストデータを通すことが可能なATMスイッチの構成の1例を示す。この例では、1つの出力回線、例えば、出力ラインL15-1に対して、複数のキューフィルタ12-11~12-1mと、複数のPVC割当回路13-11~13-1mと、複数のFIFOバッファ14-11~14-1mと、1つのセクタ15-1と、該セクタに接続された帯域制御テーブル16-1とを設けてある。

【0046】各PVC割当回路は、同時には1つのバーストデータしか通さないが、1つの出力回線に複数組のPVC割当回路が搭載されているため、各出力回線で同時にm個までのバーストデータを通すことができる。帯域制御テーブル16-1は、出力タイミングカウンタ17から出力されるタイミング信号に対応したキュー番号（FIFOバッファ番号）を出力し、セクタ15-1に、FIFOバッファ14-11~14-1mのうちから上記キュー番号に対応するFIFOバッファを選択させる。

【0047】この構成では、例えば、特定のPVC割当回路13-11のみをSVCモードに設定し、他のPV

C割当回路13-12~13-1mをPVCモードに設定すると、上記特定のPVC割当回路13-11に接続されたFIFOバッファ14-11にはSVCモード専用のセルが供給され、帯域制御テーブル16-1で割り当てられた帯域でセルが出力され、残りの帯域は、m-1個のバーストデータの帯域に割り当てることができる。したがって、1つの出力回線に違うサービスの呼のセルを通すことが可能となる。

【0048】図6の例では、各出力回線に、物理的に分離した形で複数のキューを設けた構成を示していたが、多数のキューを個別に独立して設ける構成はバッファメモリの分割損が大きく、ハードウェア実現上の不利益となる。

【0049】図7~図9は、上記図6と機能的に等価な、共通バッファを採用したスイッチ構成の1例を示す。

【0050】図7において、ATMスイッチは、多重回路11と、共通バッファ18と、分離回路19と、バッファ制御回路10とから構成される。各入力ラインL2-1~L2-Nから並列的に入力されたセルは、多重回路11で時分割多重され、シリアルなセル列となって共通バッファ18に入力される。バッファ制御回路10は、多重回路11から信号線L14に出力されたセルのヘッダ部を解析し、セルをリンクすべきリスト構造のアドレスを求め、これを共通バッファに書き込みアドレスとして与える。また、上記バッファ制御回路10は、出力回線L5-1~L5-Nへのセル出力に同期した所定のタイミングで、共通バッファ18に読み出しアドレスを与え、共通バッファ18からセルを読み出す。分離回路19は、共通バッファ18から読み出されたセルを出力ラインL5-1~L5-Nに周期的に振り分ける。

【0051】図8は、図7におけるバッファ制御回路10の1実施例を示す図である。入力セルのヘッダ部は、ラインL14を介してPVC割当回路107に入力される。上記PVC割当回路107は、通過を許可されたバーストデータの識別子登録（PVCの割当）処理と、通過不許可バーストデータのセル廃棄処理のための制御動作を行う。また、上記PVC割当回路107は、出力キュー番号をラインL100に出力し、書き込みイネーブル信号をラインL152に出力する。これにより、書き込みアドレスメモリ（WARAM）101から、キュー番号に対応する書き込みアドレスが読み出され、ラインL150に出力される。

【0052】103は、共通バッファ18（図7）内に形成される複数のキューにおいて、それぞれのキューで次にアクセスすべきレコード（セルデータ）を示すポインタアドレス（書き込みアドレス、または読み出しアドレス）を記憶するための次アドレスメモリである。

【0053】入力セルの書き込みサイクルにおいては、空アドレスを格納しているアドレスキューであるFIF

0104の先頭から未使用アドレスが出力され、書き込みアドレスメモリWARAM101と次アドレスメモリ103にそれぞれデータ（次アドレス）として供給される。上記書き込みアドレスメモリWARAM101は、キュー番号と対応する複数のレコード記憶位置をもっている。今、書き込みアドレスメモリWARAM101は、PVC割当回路によって入力セルのヘッダ部から抽出されたキュー番号でアドレスされており、上記キュー番号と対応するメモリ位置から前回記憶しておいた次アドレスが読み出され、これに代わって、上記記憶位置に上記FIFO104から取り出した空きアドレスが新たな次アドレスとして記憶される。

【0054】上記空きアドレス（次アドレス）を記憶させるための次アドレスメモリ103は、書き込みアドレスWAとして、上記書き込みアドレスメモリWARAM101から出力された前回記憶しておいた次アドレスが与えられる。上記書き込みアドレスWAは、図7に示した共通バッファ18への入力セルの書き込みアドレスとしても使用されており、結果的に、入力セルと次アドレスとが対をなす形で、共通バッファメモリ18と次アドレスメモリ103にそれぞれ記憶されることになる。

【0055】従って、今回記憶したセルと同一のキュー番号をもつセルがその後に到着した場合に、キュー番号でアドレスして書き込みアドレスメモリWARAM101から出力した次アドレスを書き込みアドレスWAとして、入力セルを共通バッファ18に書き込むと、この入力セルの共通バッファ内におけるメモリ位置は、前回の入力セルと対をなして次アドレスメモリ103に記憶されたアドレスと一致しており、同一キュー番号をもつセルレコードが、次アドレスメモリに記憶された次アドレスによって次々とリンクされたリスト構造となっている。

【0056】共通バッファ18からのセル読み出しサイクルでは、出力タイミングカウンタ106から与えられたタイミングにตอบสนองして、帯域制御テーブル105からアクセス（読み出し）すべきキュー番号が出力される。

【0057】セル有無検出回路108は、例えば、キュー番号と対応した複数のカウンタエリアからなり、共通バッファへのセルデータ書き込み時に、入力セルのキュー番号と対応するカウンタエリアのカウント値をインクリメント動作し、共通バッファからのセルデータ読み出し時に、帯域制御テーブルから与えられたキュー番号と対応するカウンタエリアのカウント値をチェックし、共通バッファ内の該当キューにセルが存在するか否かを判定するための回路である。上記セル有無検出回路108は、ラインL103からセル読み出しすべきキュー番号を入力すると、そのキューにセルが存在すれば読み出しイネーブル信号を出力し、カウント値をデクリメント動作する。

【0058】102は、キュー番号と対応して次読み出

しアドレスを記憶するための複数の記憶エリアを有し、読み出しイネーブル信号が「1」のとき、ラインL103から指定されたキュー番号に対応する記憶エリアから次読み出しアドレスを出力する読み出しアドレスメモリ（RARAM）である。上記メモリ102から出力された読み出しアドレスは、ラインL151を介して、次アドレスメモリ103と共通バッファ18に読み出しアドレスRAとして与えられる。これによって、共通バッファ18の上記キュー番号と対応するキューから1つのセルデータが読み出され、これと同期して、次アドレスメモリ103から次アドレスが読み出される。上記次読み出しアドレスは、読み出しアドレスメモリ102の上記キュー番号と対応する記憶エリアに記憶され、次回に同一キュー番号のキューをアクセスする時の読み出しアドレスとなる。尚、読み出しアドレスメモリ102からラインL151に読み出されたアドレスRAは、用済みとなるため、未使用アドレスとして空アドレスFIFO104に格納される。

【0059】帯域制御テーブル105は、例えば図13に示すように、スイッチ1の出力回線（出力ポート）数Nに等しい数のレコードエリアを有し、それぞれのレコードエリアに読み出し許可／禁止情報とキュー番号情報（RARAMアドレスに対応する）を格納するようになっている。上記帯域制御テーブル105に、図8に示した出力タイミングカウンタ106で発生させた出力ポート番号をアドレスとして与えると、出力ポート番号と対応するレコードエリアから読み出し許可／禁止情報とキュー番号情報が読み出される。読み出し許可／禁止情報が「禁止」を示している場合は、上述した共通バッファからのセルの読み出し動作は行われない。上記帯域制御テーブルの各レコードに内容は、制御装置3によって、制御バスL0を介して設定される。

【0060】図13に示した帯域制御テーブルにおいて、異なる出力ポート番号で指定される2ヵ所以上のレコードエリアに同一のキュー番号を設定しておくと、同一キューからスイッチの複数の出力ポートへセルを出力することができ、上記キューから通常キューの2倍以上の速度でセルを出力できるようになる。逆に、帯域制御テーブル内のレコード数を、例えば出力ポート数Nの4倍にしておき、出力タイミングカウンタ106で1から4Nまでのポート番号を発生させ、帯域制御テーブルの1番目のアドレスにのみキュー番号「1」を書き込んでおくと、出力ポート1には、4回に1回だけキュー番号「1」のセルが読み出され、4分の1の帯域でセルを出力させることができる。このように、帯域制御テーブルは、その内容の設定如何で、各キューからのセルの読み出し速度を制御でき、各キュー毎に帯域を制御することができる。

【0061】図9は、図8におけるPVC割当回路107の1実施例を示す図である。ヘッダ解析回路131'

は、入力セルのヘッダ部から空／閉フィールド、開始表示フィールド、終了表示フィールド、PVCフィールド、キュー番号フィールドの内容を抽出する。空／閉表示フィールドの信号が、空セルを示す「0」を出力している場合は、AND回路13dが「0」を出力し、共通バッファ18への書き込みを禁止する。

【0062】未使用／使用RAM138'は、キュー番号毎にバーストデータの使用／未使用の情報を格納するためのRAMである。PVC RAM139'は、キュー番号毎に使用中のバーストデータのPVCを格納するためのRAMである。また、PVC/SVC RAM13a'は、キュー番号毎にSVCモード用かPVCモード用かを指定するためのものである。

【0063】もし、SVCモード用に指定してあれば、PVC/SVC RAM13a'が「1」を出力し、OR回路13cに「1」を出力させ、AND回路13dに空／閉表示が有効セル有りを示す「1」を出力させ、入力セルを共通バッファ18に書き込ませる。従って、PVC割付回路107は、バーストデータの管理はせずにセルの書き込み動作を行う。PVCモード用に指定してあれば、AND回路133または135の出力が「1」でなければ、OR回路13cは「1」を出力しない。従って、この場合は、AND回路133または135の出力がセル書き込みを制御する。上記PVC/SVC RAM13a'へのモード設定は、制御回路3から制御バスL0、マイコンインタフェース回路13b'を介して行う。

【0064】次に、PVC/SVC RAM13a'が、入力セルのキュー番号に対してPVCモードを指定している場合の動作について述べる。

【0065】入力セルがバーストデータの先頭セルの場合（開始表示を示しているとき）は、未使用／使用RAM138'が未使用中を示す「0」を出力し、空／閉表示が有効セル有りを示す「1」を示す場合に、AND回路133が「1」を出力する。このとき、AND回路134が「0」出力（終了表示が設定されていない場合の値）の条件でAND回路136が「1」出力し、OR回路137でデータロードLDを「1」にする。これにより、未使用／使用RAM138'上で、入力セルのキュー番号と対応するレコードエリアに使用中を示す表示「1」が設定される。また、このとき、PVC RAM139'内の入力セルのキュー番号と対応するレコードエリアには、ヘッダ解析回路131'から出力されたPVC値が設定される。さらに、AND回路133の「1」出力は、OR回路13cを通して、AND回路13dにセル書き込みイネーブルを出力させる。この動作により、バーストデータの先頭セルが到着時にPVCの登録ができる。

【0066】入力セルが先頭セルであって、未使用／使用RAM138'がバーストデータ使用中を示す場合に

は、未使用／使用RAM138'出力は「1」であり、AND回路133は「0」を出力する。従って、未使用／使用RAM138'への値の設定は行われず、また、OR回路13cを通して入力セルを共通バッファ18に書き込む動作も行われない。つまり、バーストデータの先頭セル到着時に既に他のバーストデータが出力回線を使用中の場合は、新たに到着したバーストデータのPVCは通過許可の識別子登録がなされない。

【0067】入力セルがバーストの最終セルの場合（終了表示を示しているとき）は、空／閉表示が有効セル有りを示す「1」を示し、未使用／使用RAM138'が使用中を示す「1」を出力し、且つ、一致検出回路132の出力が、PVC RAM139'に登録されたPVCとヘッダ解析回路131'出力のPVCとが一致することを示す「1」を出力した場合に、AND回路134が「1」を出力する。このとき、AND回路136は「0」を出力し、OR回路137は「1」を出力するため、未使用／使用RAM138'内の入力セルのキュー番号と対応するレコードには、未使用状態を示す「0」が設定される。これにより、他のバーストデータが到着時に使用可能な状態となる。

【0068】入力セルが、有効セルであり、未使用／使用RAM138'が使用状態を示し、PVC RAM139'の値と入力セルのPVC値が一致する場合には、AND回路135が「1」を出力し、OR回路13cを通して、AND回路13dから書き込みイネーブル信号を出力させる。この制御により、使用中のPVCのセルが到着すれば、セルが通過可能となる。

【0069】図5、および、図9に示したPVC割当回路は、1つのキューに1つのバーストデータしか通さない例を示したが、以下、1つのキューに複数のバーストデータを通す実施例について述べる。

【0070】図10は、図3または図6のPVC割当回路に代わる、各キューに複数のバーストデータを設定可能な実施例構造を示す。

【0071】入力セルは、ヘッダ解析回路131で、空／閉、開始、終了、PVCの各フィールドが分離抽出され、空／閉表示フィールド信号が空セルを示す「0」を出力している場合は、AND回路13dが「0」を出力し、セクタ13eに空セルパターンを出力させる。CAM (Content-addressable memory) 13fは、バーストデータのPVCを登録するためのメモリであり、未使用アドレスFIFO13gは、CAM13fで使用されていないアドレスを蓄えるためのものである。アップ／ダウンカウンタ13hは、登録されたバーストデータの個数をカウントするカウンタであり、比較回路13iは、登録されたバーストデータの個数が所定の閾値を超えたかどうかを判断するためのもので、1つのキューに通すバーストデータの個数を閾値以下に抑える動作をする。

【0072】PVC/SVCレジスタ13aは、このPVC割付回路の処理するキューが、SVCモード用かPVCモード用かを指定するためのもので、もし、SVCモードを指定している場合は、PVC/SVCレジスタ13aは「1」を出力し、OR回路13c'に「1」を出力させ、空/閉表示が有効セル有りを示す「1」の状態とAND回路13dに「1」を出力させ、セクタ13eに入力セルをそのまま通過させる。従って、PVC割付回路では、バーストデータの管理はせず、セルを素通しする。PVC/SVCレジスタ13aがPVCモードを指定している場合は、OR回路13c'は、AND回路133'または134'の出力が「1」でなければ出力が「1」とならない。従って、この場合は、AND回路133'または134'の出力に応じてセル出力が制御される。尚、PVC/SVCレジスタ13aのモード設定は、制御回路3から、制御バスL0、マイコンインタフェース回路13bを介して行う。

【0073】次に、PVC/SVCレジスタ13aがPVCモードを指定している場合の制御動作について述べる。セル到着時に、ヘッダ解析回路131で抽出されたPVCは、CAM13fにアドレスとして入力され、CAM13fから入力PVCと対応する通過許可の登録有無の判定結果が出力される。登録有りの場合には、OR回路13c'、AND回路13dを通して、セクタ13eに入力セルの選択指令が与えられる。

【0074】入力セルがバーストデータの先頭セルの場合（開始表示を示している場合）は、CAM13fが未使用中を示す「0」を出力し、空/閉表示が有効セル有りを示す「1」を示し、比較回路13iが「アップ/ダウンカウンタ13hの値が閾値を超えていない」ことを示す場合に、AND回路133'が「1」を出力する。このとき、未使用アドレスFIFO13gからアドレスを発生させ、CAM13f上では、そのアドレスにPVCを登録させ、アップ/ダウンカウンタ13hの値をカウントアップする。また、AND回路133'の「1」出力は、OR回路13c'、AND回路13dを通して、セクタ13eに入力セルを選択出力させる。この動作により、バーストデータの先頭セルが到着時にPVCの登録ができる。

【0075】入力セルが先頭セルであって、アップ/ダウンカウンタ13hの値が閾値を超えている場合には、AND回路133'は「0」を出力する。この場合は、CAM13fにPVCの登録は行われず、また、OR回路13c'の出力による入力セル選択指令は行われぬ。この動作では、バーストデータの先頭セルが到着した時、予め決められた個数の他のバーストデータが既に出力回路を使用中であれば、今回到着したバーストデータの通過は許可されず、PVCの登録動作ができなくなることを示している。

【0076】入力セルが最終セルの場合（終了表示を示

しているとき）は、空/閉表示が有効セル有りを示す「1」で、CAM13fからPVCが登録済みであることを示す出力「1」がある場合に、AND回路134'が「1」を出力する。このとき、CAM13f上の対応するPVCが抹消され、上記PVCが登録されていたレコードのアドレスが、空きアドレスとして未使用アドレスFIFO13gに格納され、アップ/ダウンカウンタ13hの値はカウントダウンされる。これにより、通過済みのバーストデータの登録PVCが抹消され、その後に到着する新たなバーストデータの登録が可能となる。

【0077】アップ/ダウンカウンタが、通過許可バーストデータの識別情報の登録時に、バーストデータの帯域に応じた加算幅で加算動作を行い、識別情報の登録抹消時に帯域に応じた減算幅で減算動作を行うようにすると、帯域が異なる複数のバーストデータに対して、出力キューの帯域を超えない適切な通過許可制御が可能となる。この場合、各バーストデータ毎に帯域情報を得る必要があるが、これは、例えば、PVC毎の帯域値を示すテーブルを用意しておく方法や、セルを発生する端末装置や回線処理回路2-1~2-Nに、バーストデータ先頭セルに帯域を示す情報を付加させる方法、等によって実現できる。

【0078】図11は、図1のATMスイッチングシステムにおける回線処理回路2-1~2-Nの1実施例を示す図である。例えば、光ファイバからなるラインL1から入力されたセルは、O/E変換器21で電気信号に変換され、受信側SDH終端回路22で伝送フレームの終端処理される。伝送側のクロックで送信されたセルは、受信側セル同期回路23において、ATMスイッチングシステム内で分配されるスイッチ側のクロックに同期化される。ヘッダ変換回路24は、セルのヘッダを変換し、ヘッダ部に必要な付加情報を付与し、スイッチ入力となるラインL2にセルを出力する。スイッチから出力されたラインL5上のセルは、送信側セル同期回路27でスイッチ側のクロックに同期している状態から、伝送側のクロックに同期化する。送信側SDH終端回路26では、セルを伝送フレーム上に乗せ、E/O変換器25では、電気信号を光信号に変換する。

【0079】図12は、図11におけるヘッダ変換回路24の1実施例を示す図である。ヘッダ変換回路24に入力されたセルは、分離回路241でデータ部とヘッダ部に分離され、さらに、ヘッダ解析回路242で、VPI/VC1、終了表示、その他の部分に分離される。

【0080】一般に、AAL5（ATM Adaptation Layer Type 5：コネクションオリエンテッドのデータサービス）では、バーストデータの最終セルであることを示す終了表示が付与されるので、それを使用する。ヘッダ変換テーブル243は、ヘッダ解析回路242から出力されたVPI/VC1が入力されると、新たなVPI/VC1を出力すると共に、空/閉表示、出力キュー番号、

PVC/SVCの種別、およびPVCの値を出力する。尚、上記ヘッダ変換テーブル243の内容は、制御バスL0を介して、制御回路3によって書き換えられる。

【0081】使用/未使用テーブル245は、各キュー毎に、バーストデータによる出力回線使用中か否かを示す情報をPVC対応に保持するためのテーブルである。空/閉表示信号が有効セルを示す「1」であり、PVC/SVC種別信号が、PVCモードを示す「0」であるとき、使用/未使用テーブル245から出力される情報が未使用を示す「1」を出力した場合、この出力は、セレクタ24aに開始表示として与えられ、同時に、OR回路246とAND回路247を通して、到着セルのPVCとキュー番号に対応する使用/未使用テーブル245内のレコードエリに、OR回路248の出力値を書き込ませる。この場合、OR回路248の出力値は、終了表示が「1」でない限り、使用中を意味する「0」となっているため、上記書き込み動作においては、使用/未使用テーブル245には使用中を示す情報が設定される。尚、バーストデータの先頭セルには、ヘッダ部に開始表示を示すビットパターンが付与される。

【0082】空/閉表示が有効セルを示す「1」であり、PVC/SVC種別が、PVCモードを示す「0」のとき、ヘッダ解析回路242から最終セルを示す終了表示が出力されると、OR回路246とAND回路247を通して、使用/未使用テーブル245の到着セルのPVCとキュー番号に対応するレコードにOR回路248の出力値が書き込まれる。この時、OR回路248の出力値は、未使用中を意味する「1」となっており、これによって、使用/未使用テーブル245において登録情報の抹消が行われる。

【0083】タイマ244は、何れかのバーストデータで所定の時間を超えてキューを占有し、他のバーストデータの通過を不当に妨害した場合に、そのバーストデータのセル通過に対して強制的に終了表示を与え、PVCの登録を抹消するために設けたものである。バーストデータの先頭セルが到着すると、使用/未使用テーブルから開始表示（未使用表示）が出力され、そのVPI/VCIとキュー番号に対するタイマ244の値がリセットされる。タイマ244は、時間が経過するにつれてタイマ値を更新し、これが所定の値を超えると、OR回路249に「1」を出力し、OR回路249から終了表示を意味する制御信号「1」を出力させる。

【0084】セレクタ24aは、空/閉表示、開始表示、終了表示、キュー番号、VPI/VCI、ヘッダのその他の部分、データを随時選択することにより、スイッチ用のセルフォーマットを構成して出力する。

【0085】上述した動作から明らかなように、ここに示したヘッダ変換回路24は、バーストデータの先頭セルに開始表示を付加すると共に、長時間にわたってキューを占有するバーストデータに対して強制的にセル転送

動作を終了させる機能に特徴がある。

【0086】

【発明の効果】以上の実施例から明らかなように、本発明では、バーストデータの先頭セルが到着した時点で、そのバーストデータを通過させるべきATMスイッチの出力キュー対応に帯域の余裕の有無を調べ、帯域が確保できる場合にはバーストデータの通過を許容し、帯域を確保できない場合には、そのバーストデータのセルを全て廃棄するように制御している。これによって、ATMスイッチの特定の出力回線に帯域を超える複数のバーストデータが時間的に重複して到着した場合でも、通過を許可しなかったバーストデータのセルは全て廃棄され、それまでに帯域を確保してあるバーストデータのセルについては、バッファ溢れによるセル廃棄を受けることなく、確実に転送させることが可能となる。

【図面の簡単な説明】

【図1】本発明を適用するATMスイッチングシステムの全体構成の1例を示す図。

【図2】図1に示したATMスイッチングシステムの制御回路の1実施例を示す図。

【図3】PVC割当機能を有するATMスイッチの1実施例を示す図。

【図4】内部セルのフォーマットの1例を示す図。

【図5】図3におけるPVC割当回路の1実施例を示す図。

【図6】PVC割当機能を有するATMスイッチの他の実施例を示す図。

【図7】PVC割当機能を有するATMスイッチの更に他の実施例を示す図。

【図8】図7におけるバッファ制御回路の1実施例を示す図。

【図9】図8におけるPVC割当回路1実施例を示す図。

【図10】図3または図6におけるPVC割当回路の他の実施例を示す図。

【図11】図1における回線処理回路の1実施例を示す図。

【図12】図11におけるヘッダ変換回路の1実施例を示す図。

【図13】図8における帯域制御テーブルの1実施例を示す図。

【符号の説明】

1…スイッチ、

2-1~2-N…回線処理回路、

3…制御回路、

30…制御信号処理回路、

31…制御プロセサ、

32…メインメモリ、

11…多重回路、

12-1~12-N、12-11~12-Nm…キュー

フィルタ、
 13-1~13-N、13-11~13-Nm…PVC
 割当回路、
 14-1~14-N、14-11~14-Nm…FIFO
 バッファ、
 131、131'…ヘッダ解析回路、
 132…一致検出回路、
 133、134、135、136、13d、133'、
 134'…AND回路、
 137、13c、13c'…OR回路、
 138…未使用/使用レジスタ、
 139…PVCレジスタ、
 13a…PVC/SVCレジスタ、
 13b、13b'…マイコンインタフェース、
 13e、15-1~15-N…セクタ、
 16-1~16-N、105…帯域制御テーブル、
 17、106…出力タイミングカウンタ、
 10…バッファ制御回路、
 18…共通バッファ、
 19…分離回路、
 101…書き込みアドレスRAM、
 102…読み出しアドレスRAM、
 103…次アドレスメモリ、
 104…空アドレスFIFOバッファ、

107…PVC割当回路、
 108…セル有無検出回路、
 138'…未使用/使用RAM、
 139'…PVC RAM、
 13a'…PVC/SVC RAM、
 13f…CAM、
 13g…未使用アドレスFIFO、
 13h…アップ/ダウンカウンタ、
 13i…比較回路、
 21…O/E変換器、
 22…受信側SDH終端回路、
 23…受信側セル同期回路、
 24…ヘッダ変換回路、
 25…E/O変換器、
 26…送信側SDH終端回路、
 27…送信側セル同期回路、
 241…分離回路、
 242…ヘッダ解析回路、
 243…ヘッダ変換テーブル、
 244…タイマ、
 245…未使用/使用テーブル、
 246、248、249…OR回路、
 247…AND回路、
 24a…セクタ。

【図1】

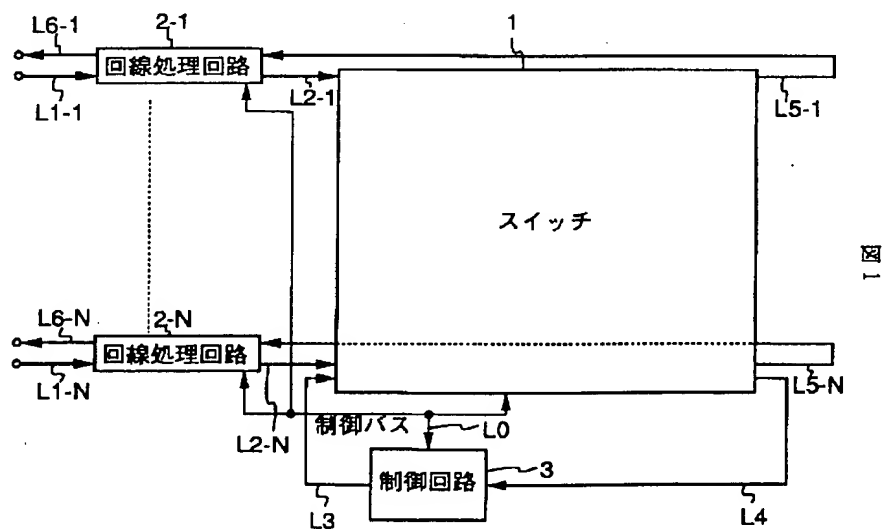


図1

【図2】

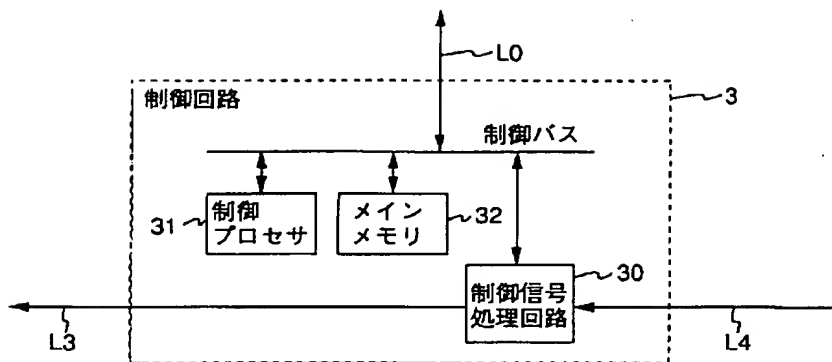
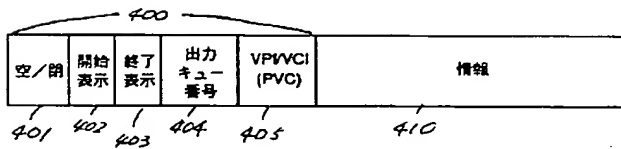


図2

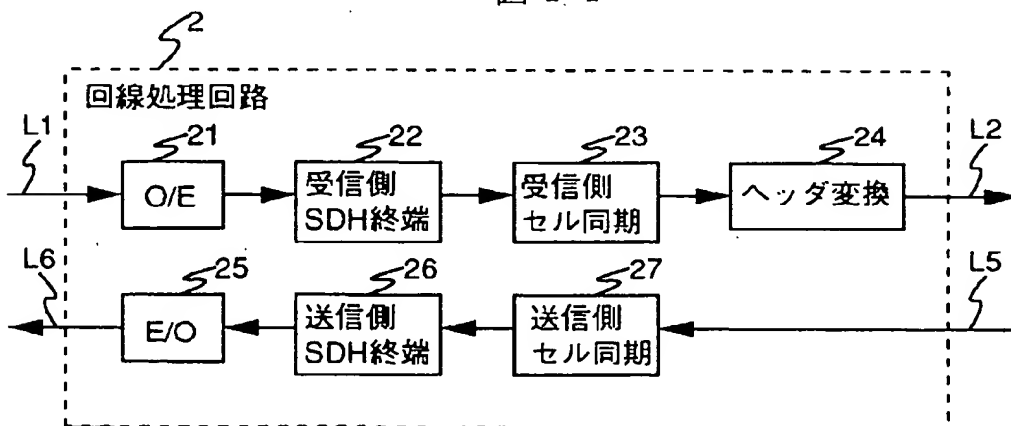
【図4】

図4



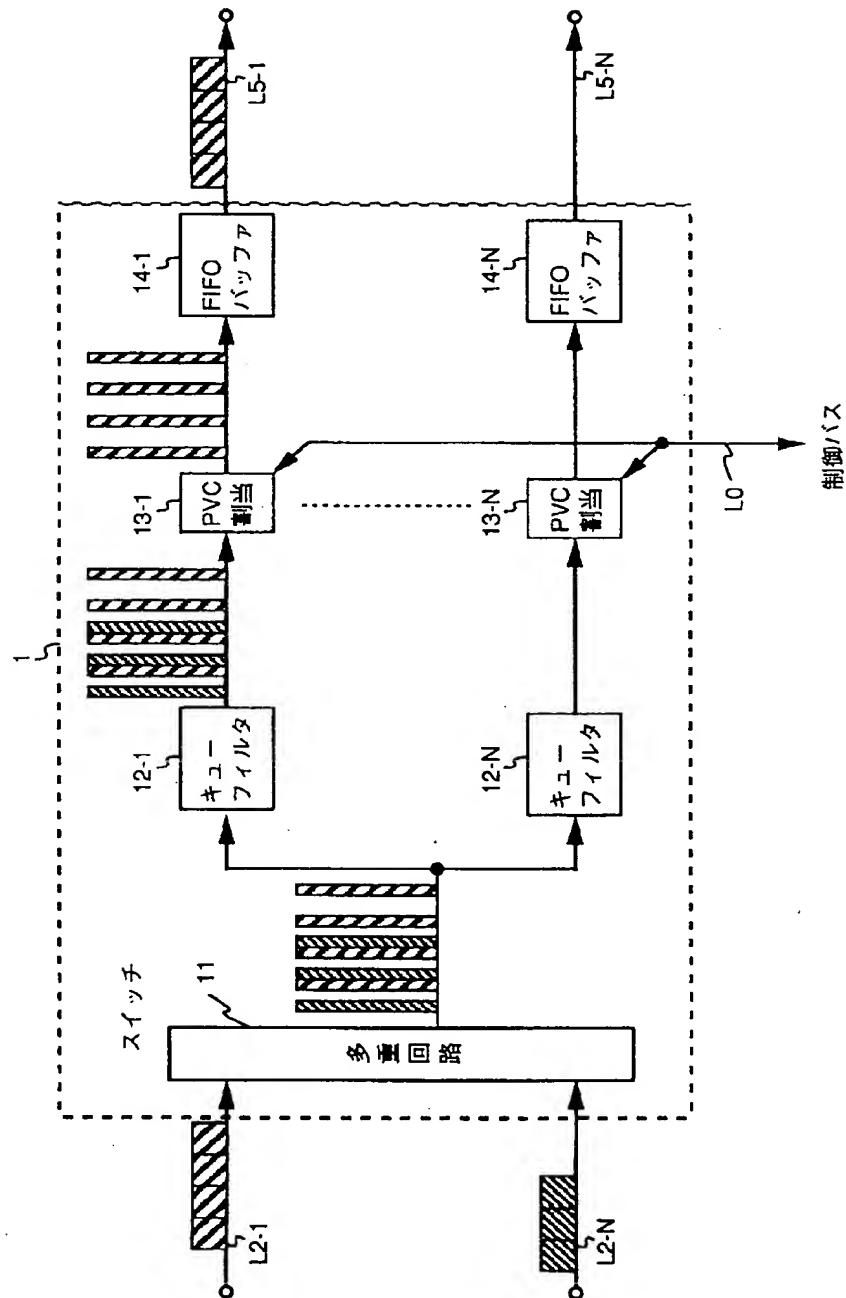
【図11】

図1.1



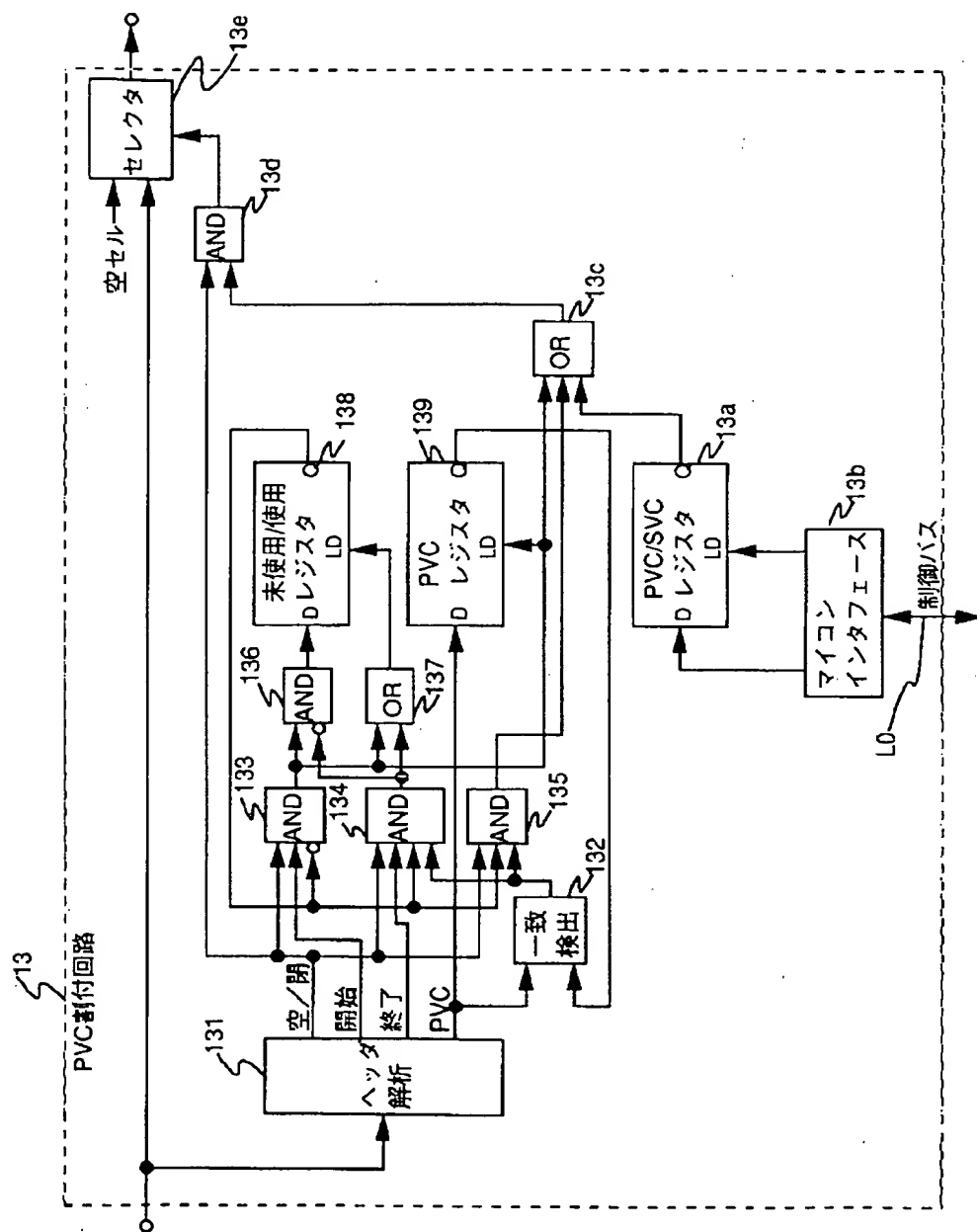
【図3】

図 3



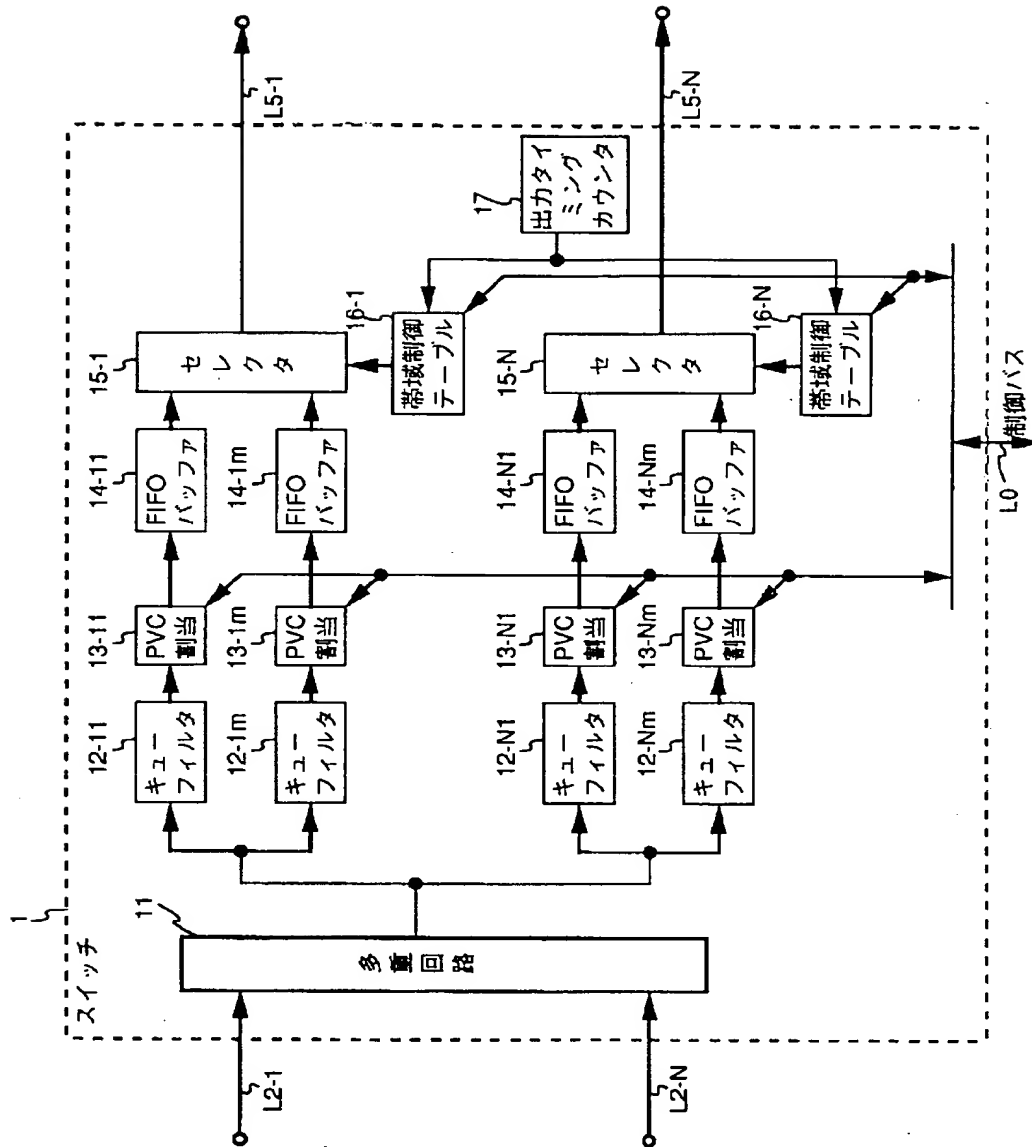
【図5】

図 5



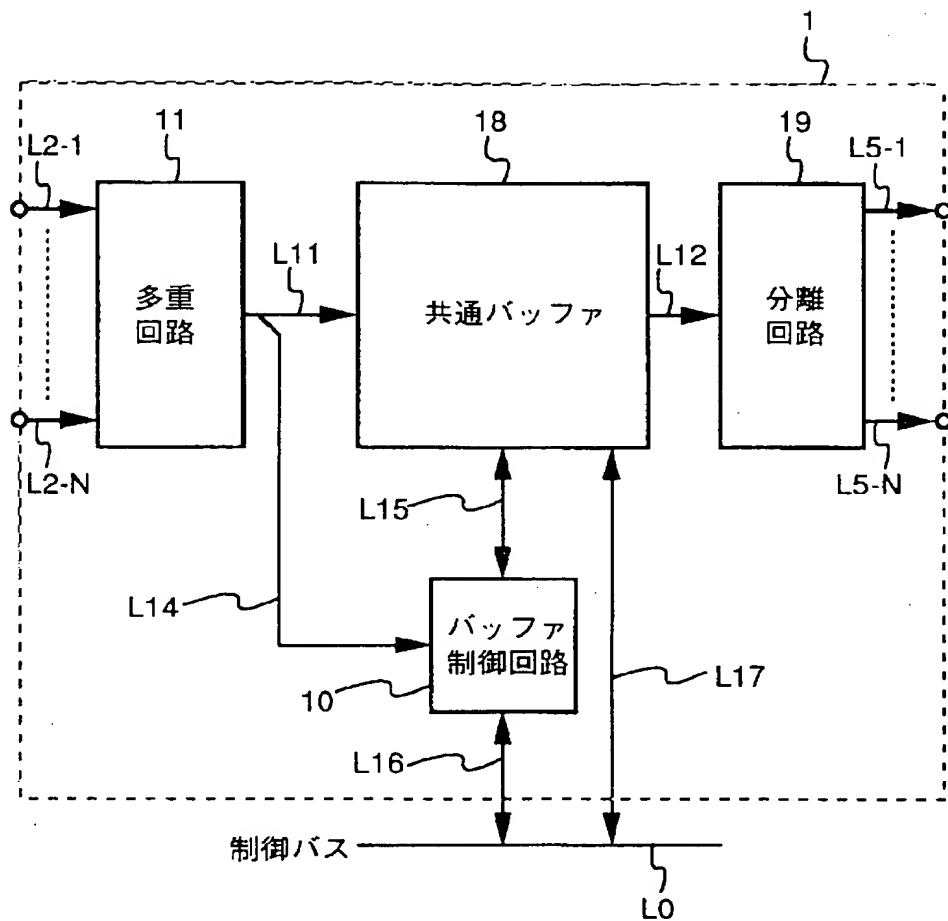
【図6】

図 6



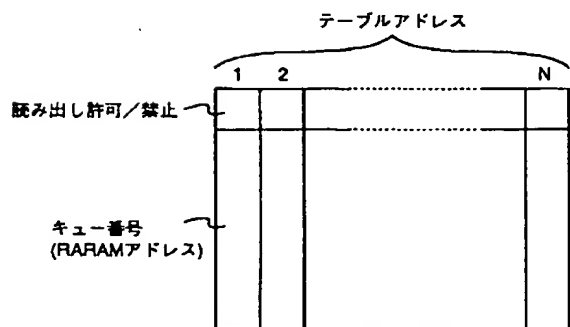
【図 7】

図 7



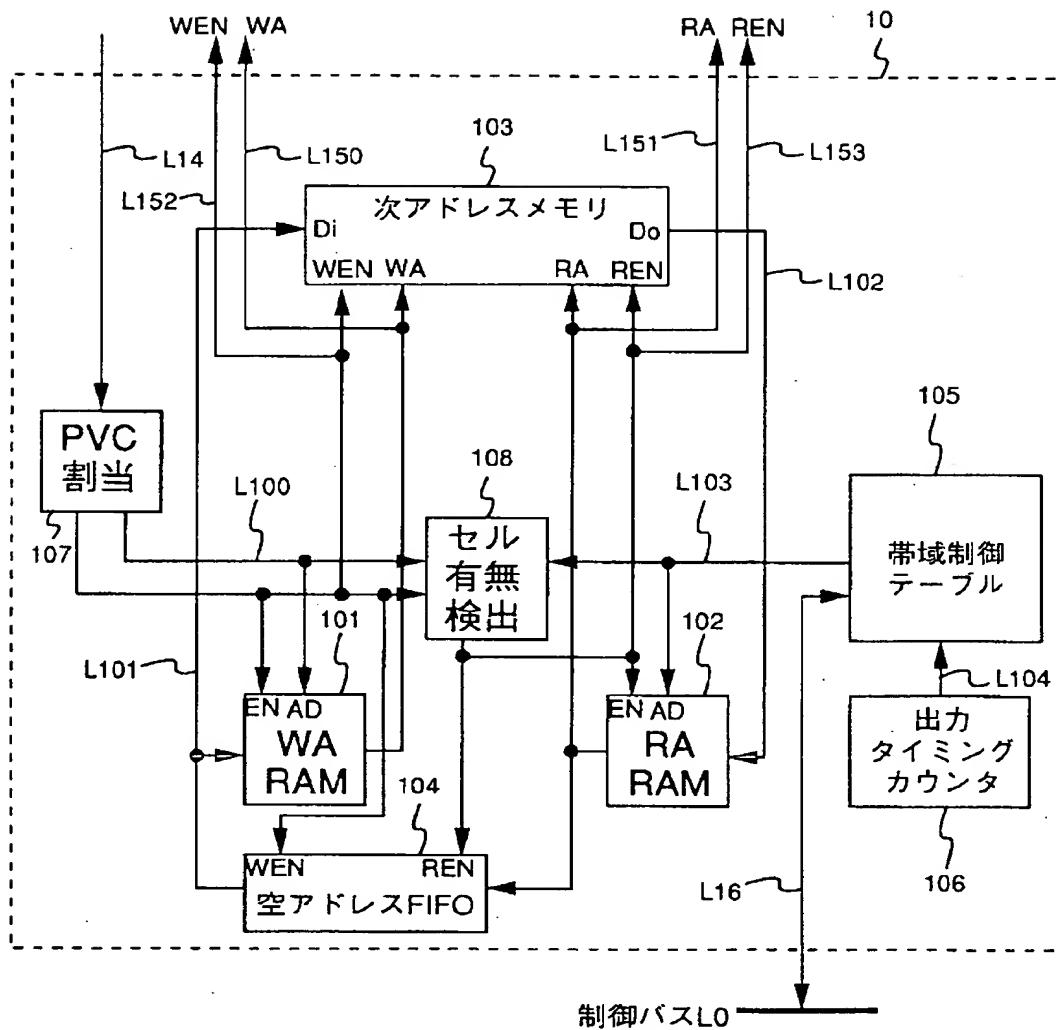
【図 13】

図 13



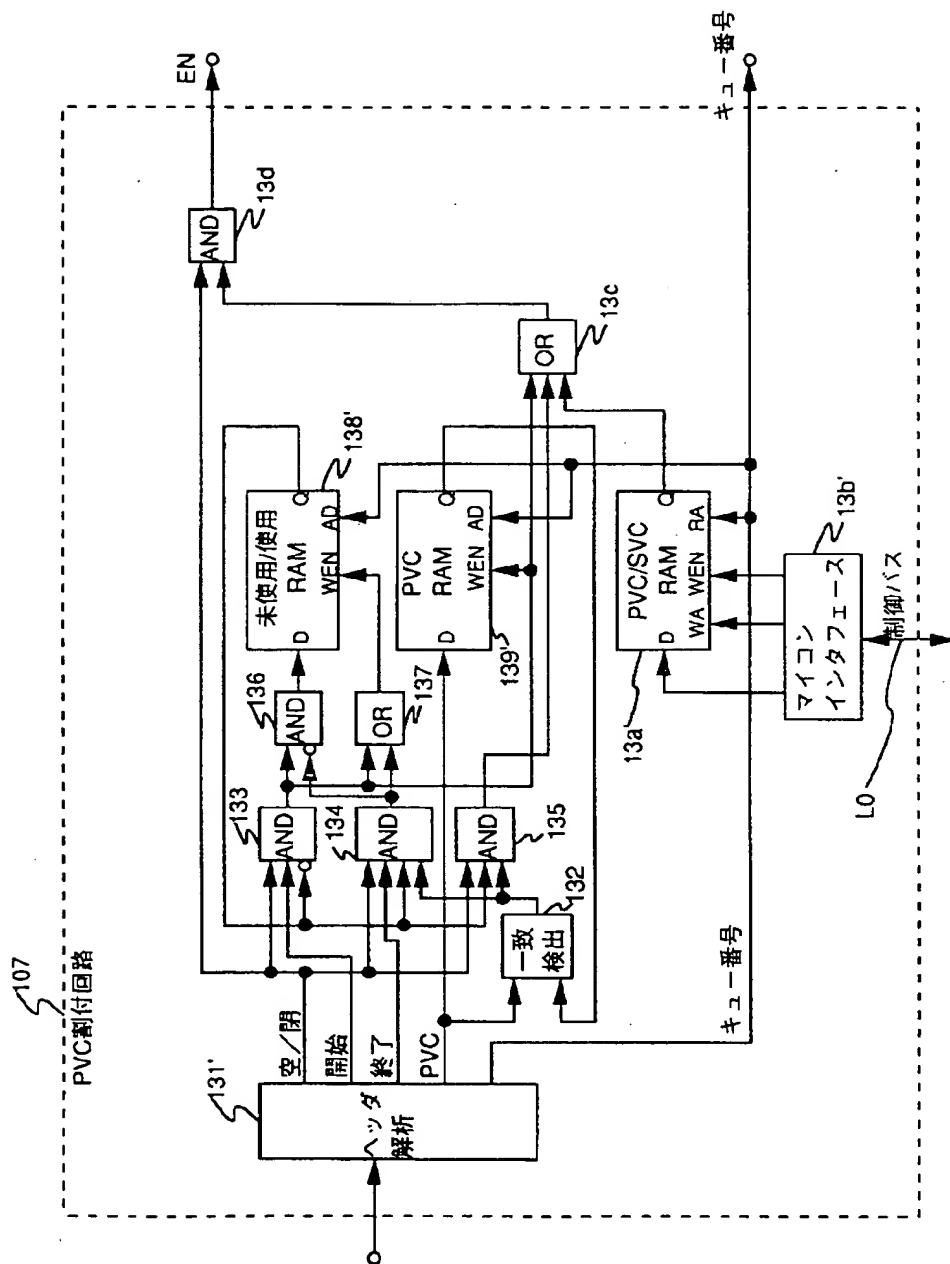
【図8】

図 8



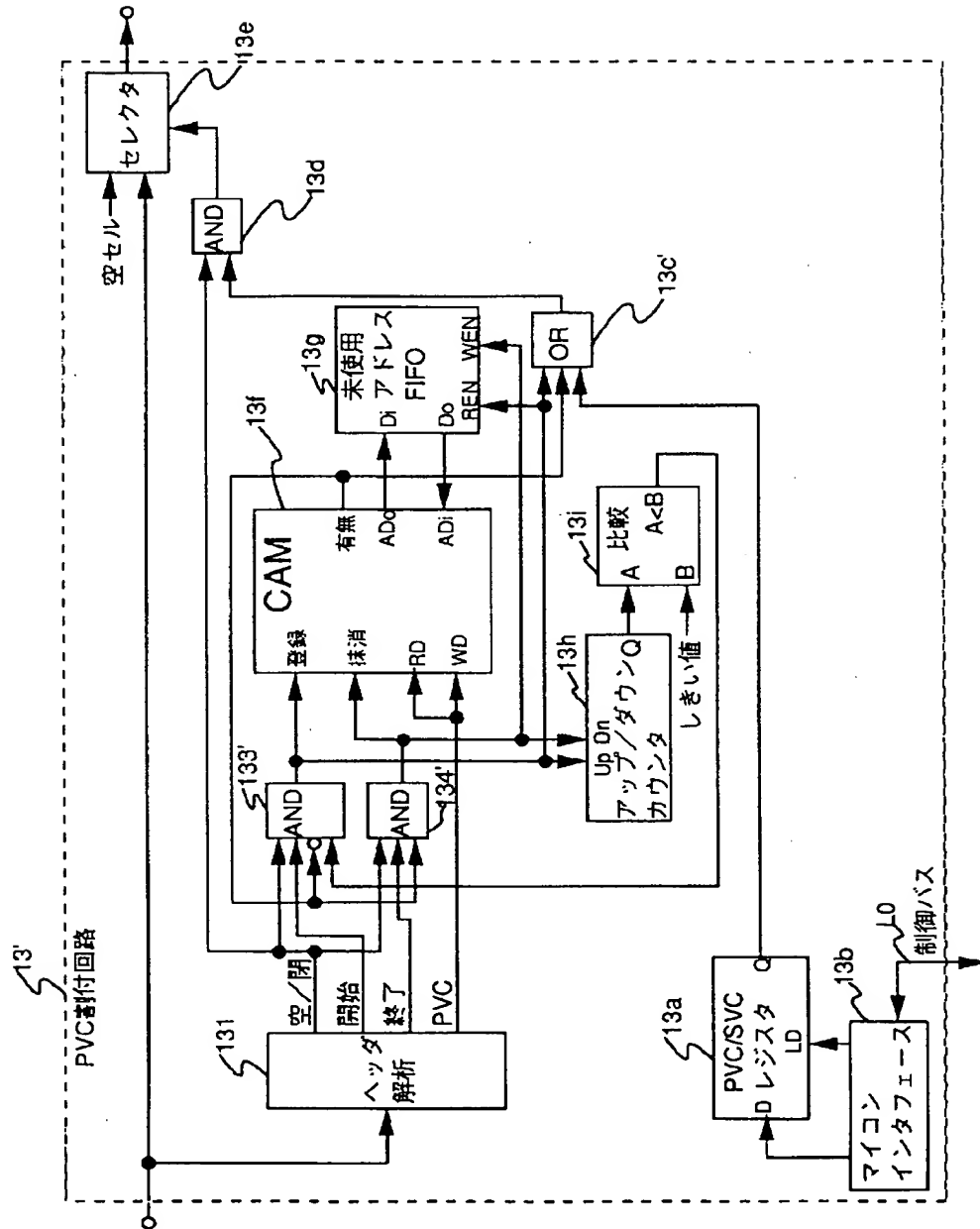
【図9】

図 9



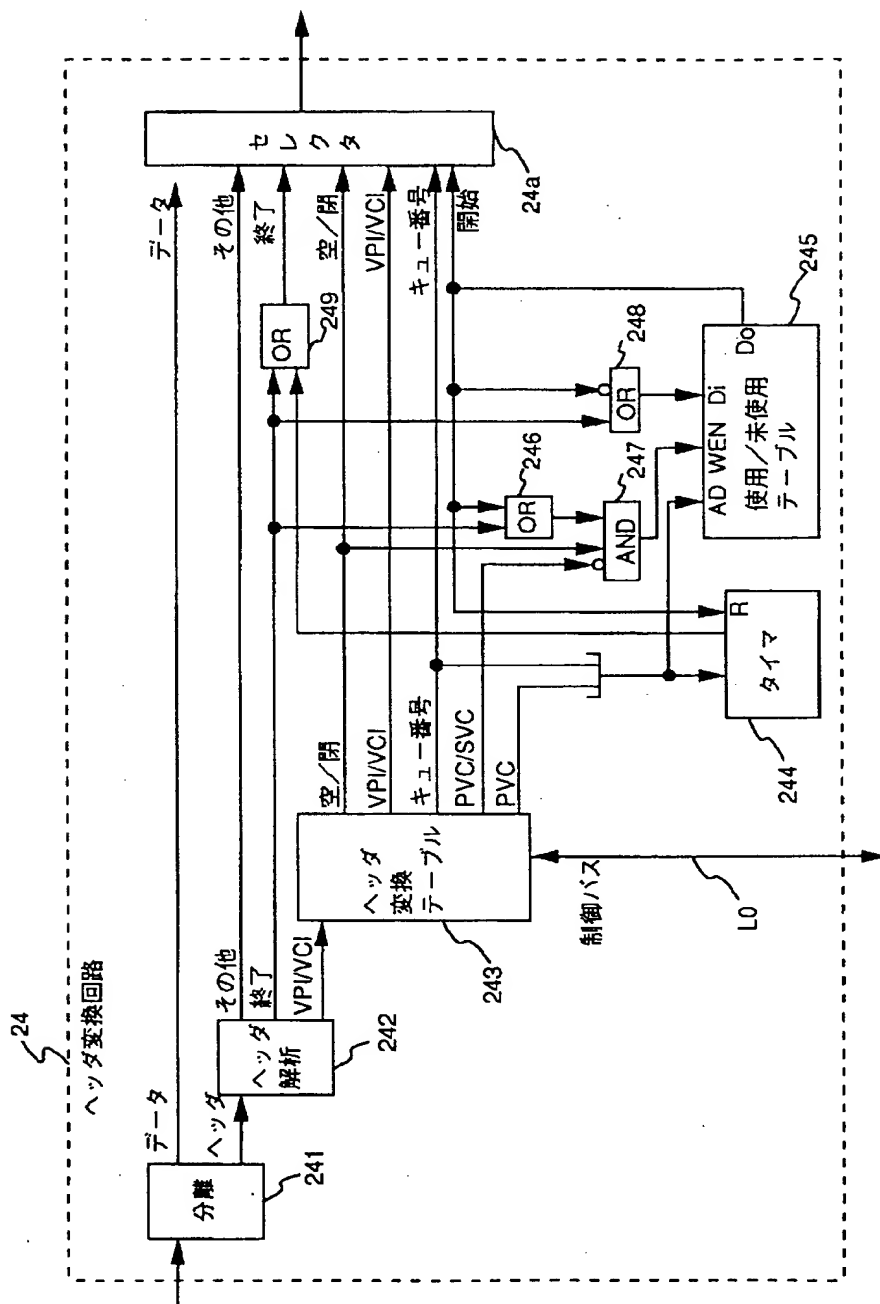
【図 10】

図 10



【図12】

図 1 2



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

9076-5K

H 0 4 Q 11/04

R

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成9年（1997）5月20日

【公開番号】特開平7-66807
 【公開日】平成7年（1995）3月10日
 【年通号数】公開特許公報7-669
 【出願番号】特願平5-210179
 【国際特許分類第6版】

H04L 12/28

H04Q 3/00

11/04

【F I】

H04L 11/20 G 9466-5K

H04Q 3/00 8843-5G

H04L 11/20 H 9466-5K

H04Q 11/04 R 9566-5G

【手続補正書】

【提出日】平成8年7月17日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】複数の入力回線と複数の出力回線を備え、各入力回線から入力された固定長パケット（セル）をそれぞれのヘッダの情報に応じて特定される何れかの出力回線に転送するATMスイッチングシステムにおけるセル制御方式において、同一出力回線に向かうパストデータが複数の入力回線から時間的に重なって流入してきた場合、それぞれの先頭セル到着時に決定しておいた1つまたは複数の特定のバーストデータに属するセルを通過させ、他のバーストデータに属したセルは廃棄処理するようにしたことを特徴とするセル制御方式。

【請求項2】各バーストデータの先頭セルが到着した時点で当該バーストデータについて伝送を許容するか否かを判断し、伝送を許容できる場合は上記先頭セルのヘッダ情報の1部を通過許容バーストの識別情報として登録しておき、その後には到着するバーストデータの各セルについて、該セルのヘッダが上記登録されたバースト識別情報を含むか否かによって通過すべきか廃棄すべきかを判定するようにしたことを特徴とする請求項1に記載のセル制御方式。

【請求項3】各出力回線毎に帯域の利用状況を記憶しておき、各バーストデータの先頭セルが到着した時、該先

頭セルを出力すべき出力回線の帯域利用状況に基づいて当該バーストデータの伝送を許容するか否かを決定するようにしたことを特徴とする請求項2に記載のセル制御方式。

【請求項4】バーストデータ先頭セルのヘッダ部に含まれる仮想チャネル識別子（VCI）、仮想パス識別子（VPI）、または、これらを結合した値の少なくとも1部を前記通過許容バーストの識別情報とすることを特徴とする請求項2または請求項3に記載のセル制御方式。

【請求項5】複数の入力回線と複数の出力回線を備え、各入力回線から入力された固定長パケット（セル）をそれぞれのヘッダの情報に応じて特定される何れかの出力回線に転送するATMスイッチングシステムにおけるセル制御方式において、同一出力回線に向かうバーストデータが複数の入力回線から時間的に重なって流入してきた場合、それぞれのバーストデータを構成する最終セルの次に到着するセルにより決定した1つまたは複数の特定のバーストデータに属するセルを通過させ、他のバーストデータに属したセルは廃棄処理するようにしたことを特徴とするセル制御方式。

【請求項6】上記バーストデータは、ATMアダプテーションレイヤのタイプ5で規定された通信手順で送受信されるものであり、前記バーストデータの通過の決定は、上記最終セルに付与された終了表示に基づき次に到着するセルをバーストデータの先頭と識別して実施することを特徴とする請求項5に記載のセル制御方式。